

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-163935

(43)Date of publication of application : 17.09.1984

(51)Int.Cl.

H04L 5/16

H04L 7/08

(21)Application number : 58-062751

(71)Applicant : SONY CORP

(22)Date of filing : 09.04.1983

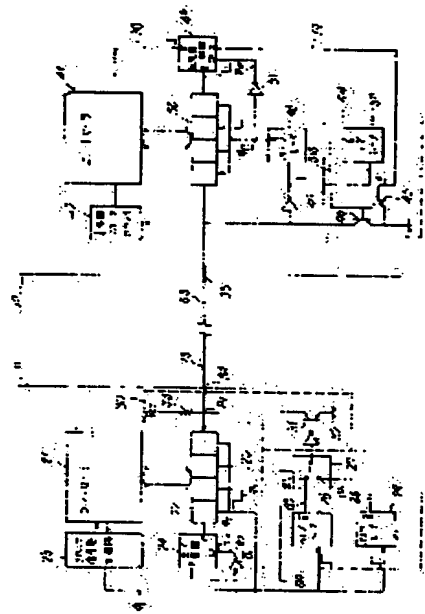
(72)Inventor : ISHIHARA MITSUGI

(54) DATA COMMUNICATION EQUIPMENT

(57)Abstract:

PURPOSE: To attain transmission/reception of a clock signal and a data on one communication line by using a data signal of signal form comprising a clock signal section, a data signal section and a return section formed sequentially in time series.

CONSTITUTION: One signal line 13 is installed between a master device 11 and a slave device 12 and a data signal S3 is transmitted and received bidirectionally. The data section TB for one bit's share of the signal S3 is divided equally into three sections T1 ~ T3. The section T1 is the clock signal section, where the level falls down to zero level at the start point of time of the data. The level at the section T2 being the data signal section goes to 1, 0 depending on the contents of the signal S3. The section T3 is the return section and the level is returned to 1 having the same level as the stationary level in succession to the section T2. Thus, the level of the signal S3 falls down from the 1 level to 0 level at each start of new bit to transmit the clock signal and after the signal S3 falls down at the section T1, the contents of data are transmitted by the level of the signal S3 at a point time in the section T2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—163935

⑬ Int. Cl.³

H 04 L 5/16
7/08

識別記号

庁内整理番号
7240—5K
B 7608—5K

⑭ 公開 昭和59年(1984)9月17日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ データ通信装置

東京都品川区北品川 6 丁目 7 番
35 号 ソニー株式会社内

⑯ 特 願 昭58—62751

⑰ 出 願 人 ソニー株式会社

⑱ 出 願 昭58(1983)3月7日

東京都品川区北品川 6 丁目 7 番
35 号

(前実用新案出願日援用)

⑲ 発 明 者 石原 貢

⑳ 代 理 人 弁理士 田辺 恵基

明 細 書

発明の名称 データ通信装置

特許請求の範囲

1 ビット区間に、第 1 の論理レベルのクロック信号区間と、伝送すべきデータを表わす論理レベルをもつデータ信号区間と、定常レベルと同じ第 2 の論理レベルをもつ復帰区間とを時間順次に形成してなる信号形式のデータ信号を、2 つの機器間に配線された 1 本の信号線を通じてやりとりさせ、上記クロック信号区間の開始時点に生ずる論理レベルの変化によつてクロック信号を伝送すると共に、上記データ信号区間の論理レベルによつてデータを伝送することを特徴とするデータ通信装置。

発明の詳細な説明

(産業上の利用分野)

本発明はデータ通信装置に関し、特に 2 つの機

器間を 1 本の信号線によつて双方向にデータ通信を行い得るようにしたものである。

(背景技術とその問題点)

例えばカメラによつて撮像して得た映像信号をビデオテープレコーダ (VTR) に記録する場合、これら 2 つの機器を同期させて動作させるために VTR をマスター機器としかつカメラをスレーブ機器として相互に制御信号、モード信号、アンサ信号などを内容とするデータ信号をやりとりする必要がある。このような場合従来は一般に第 1 図に示すように、マスター機器 1 及びスレーブ機器 2 間に 2 本の信号線 3 及び 4 を配線し、第 1 の信号線 3 を通じてマスター機器 1 からスレーブ機器 2 にクロック信号 S1 (第 2 図(A)) を送り、このクロック信号 S1 と同期して時間順次にデータ信号 S2 (第 2 図(B)) をマスター機器 1 からスレーブ機器 2 へ送るため時点 $t_1 \sim t_2$ のデータ信号 DT12 を伝送し、又はその逆方向に時点 $t_3 \sim t_4$ のデータ信号 DT21 を伝送するようになされている。第 1 図の場合クロック信号 S1 の信号線 3 は常時は論理

特開昭59-163935 (2)

「1」レベルに維持され、例えば4ビットで構成されたデータ信号DT12又はDT21の各ビットを送る区間 $t_1 \sim t_2$ 又は $t_3 \sim t_4$ の間にデューティ比 $\frac{1}{2}$ の割合で論理「0」レベルに立下るようになされている。

このようにデータ信号S2を脱路させずに確実に2つの機器間に授受させるためには、2つの機器を共通のクロック信号S1で動作させながらデータ信号S2を時間的に重複させないように1ビットずつやりとりすることが重要である。

しかし第1図の構成によると、2本の信号線3及び4を設けなければならず、このため2つの機器全体としての制御系の構成を簡易化するにつき限度がある。

〔発明の目的〕

本発明は1本の信号線によつてクロック信号及びデータ信号を通信できるようにしたデータ通信装置を提案しようとするものである。

〔発明の概要〕

かかる目的を達成するため本発明は、1ビット

区間に、第1の論理レベルのクロック信号区間と、伝送すべきデータを表わす論理レベルをもつデータ信号区間と、定常レベルと同じ第2の論理レベルをもつ復帰区間とを時間順次に形成してなる信号形式のデータ信号を、2つの機器間に配線された1本の信号線を通じてやりとりさせるようにする。

〔実施例〕

以下図面について本発明の一実施例を詳述する。第3図において、11はマスタ機器、12はスレーブ機器で、これら2つの機器間には1本の信号線13が配線され、この信号線13を通じて双方向にデータ信号S3がやりとりされる。

データ信号S3は第4図(A)に示す信号形式をもつ。すなわち1ビット分のデータ区間 T_B が3つの区間 T_1 、 T_2 及び T_3 に等分に分割され、第1の区間 T_1 はクロック信号区間で、データの開始時点 t_{11} において論理「0」レベルに立下るようになされている。また第2の区間 T_2 はデータ信号区間で、当該ビットのデータ信号S3の内容に応

じて論理「1」又は「0」になる。さらに第3の区間 T_3 は復帰区間で、第2の区間 T_2 に続いて定常レベルと同じ論理「1」レベルに戻るようになされている。

従つてデータ信号S3の論理レベルは新たなビットが開始することに論理「1」レベルから論理「0」レベルに立下ることになるから、この立下りによつてクロック信号を伝送し得、またこのデータ信号S3が区間 T_1 において立下つた後第2の区間 T_2 内の時点の例えばほぼ中央の時間位置($\frac{1}{2}$ 位置) t_d におけるデータ信号S3の論理レベルによつてデータの内容を伝送し得る。

マスタ機器11はコントローラ21の制御の下に信号線13に時間直列に4ビットのデータ信号S3を送出しかつスレーブ機器12から同様に時間直列に到来するデータ信号S3を受けるシフトレジスタ22を有する。シフトレジスタ22はクロックパルス発生回路23において発生される第4図(B)に示す如きクロックパルス ϕ_1 が与えられ、その立下りによつてシフト動作して順次最上位桁から4ビット

のデータ信号を例えばフリップフロップ回路構成の出力回路24に出力する。クロックパルス ϕ_1 は第4図(B)に示す如く所定の周期 T_B をもつデューティ比が $\frac{1}{2}$ の矩形波でなる。

出力回路24のクロック入力端CPにはクロックパルス ϕ_1 をインバータ26によつて論理レベルを反転してなるクロックパルス ϕ_2 (第4図(C))が与えられ、その立下りによつてシフトレジスタ22の出力が論理「1」のときセットされてそのQ出力が論理「1」にしたシフトレジスタ22の出力が論理「0」のときリセットされてそのQ出力が論理「0」にし、このQ出力S4をデータ出力回路25のスイッチ回路27に論理レベル設定指令信号として与える。

データ出力回路25は1ビット区間 T_B (第4図(A))のクロック信号区間 T_1 の長さの限時動作時間 $\frac{1}{3}T_B$ をもつ第1のモノマルチバイブレータ28と、クロック信号区間 T_1 及びデータ信号区間 T_2 の和の長さの限時動作時間 $\frac{2}{3}T_B$ をもつ第2のモノマルチバイブレータ29とを有する。これらのモ

特開昭59-163935 (3)

ノマルチバイブレータ28及び29はクロックパルス発生回路23のクロックパルス ϕ_1 の立上りによつて同時にトリガされ、その後限時動作時間 $\frac{1}{3}T_B$ 及び $\frac{2}{3}T_B$ が終了するまで論理「1」レベルに立下る出力S5及びS6をそれぞれスイッチ回路27の「1」及び「0」切換端子a1及びa0に与える。スイッチ回路27は論理レベル設定指令信号S4が論理「1」のとき「1」切換端子a1からマルチバイブレータ28の出力S5を信号線駆動回路30のNPNトランジスタ31のベースにインバータ32を介して与え、これに対して論理レベル設定指令信号S4が論理「0」のとき「0」切換端子a0からマルチバイブレータ29の出力S6を同様にトランジスタ31のベースにインバータ32を介して与える。

信号線駆動回路30は信号線13を負荷抵抗33を介して論理「1」レベルの電圧源 V_{00} に接続すると共に、信号線13及び負荷抵抗33の接続点P1をトランジスタ31を介して接地し得るようになされ、これによりスイッチ回路27の出力が論理「0」レベルのときトランジスタ31をオン動作させること

によりトランジスタ31を通じて通信線13を接地レベル(すなわち論理「0」レベル)に駆動し、逆にスイッチ回路27の出力が論理「1」レベルのときトランジスタ31をオフ動作させることにより抵抗33を通じて通信線13を電圧 V_{00} の電圧レベル(すなわち論理「1」レベル)に駆動する。

かくして出力回路24に論理「1」のデータがセットされたとき、スイッチ回路27が「1」切換端子a1に切換えられていることにより、クロック信号 ϕ_1 の立下りによつて第1のマルチバイブレータ28が限時動作している第1のクロック信号区間 T_1 の間インバータ32に論理「0」出力が与えられ、やがて第1のマルチバイブレータ28の限時動作が終了して第2のデータ信号区間 T_2 に入つたとき第1のマルチバイブレータ28の出力が論理「1」になることによりこれがインバータ32に与えられ、この状態はやがて第3の復帰区間 T_3 に入つても引続き維持され、かくして信号線13の論理レベルは1ビットの区間 T_B において第1のクロック信号区間 T_1 の間論理「0」、第2のデー

タ信号区間 T_2 の間論理「1」、第3の復帰区間 T_3 の間論理「1」になる。

これに対して出力回路24が論理「0」にセットされたとき、スイッチ回路27が「0」切換端子a0に切換えられることにより、クロック信号 ϕ_1 の立下りによつて第2のマルチバイブレータ29が限時動作している第1のクロック信号区間 T_1 及び第2のデータ信号区間 T_2 の間インバータ32に論理「0」出力が与えられ、やがて第2のマルチバイブレータ29の限時動作が終了して第3の復帰区間 T_3 に入つたとき第2のマルチバイブレータ29の出力が論理「1」になることによりこれがインバータ32に与えられ、かくして信号線13の論理レベルは1ビット区間 T_B において第1のクロック信号区間 T_1 及び第2のデータ信号区間 T_2 の間論理「0」、第3の復帰区間 T_3 の間論理「1」になる。

マスタ機器11のコントローラ21はこのようにしてシフトレジスタ22にロードした「1001」のデータ信号S31(第5図(A))をデータ出力回路25を介

して信号線13に送出したことを確認した後、所定の時間の経過後に4ビット全部が論理「1」(これをオール「1」という)の返信指令信号S32をシフトレジスタ22にロードしてこれを同様にして順次データ出力回路25を介しさらに出力端子34を介して信号線13に送出する。

スレーブ機器12は信号線13を介して入力端子35に4ビットずつ到来するデータ信号S3に応答する。すなわちスレーブ機器12のコントローラ41は信号線13が論理「0」レベルに立下るごとにカウント動作する $\frac{1}{4}$ 分間クロックカウンタ42の出力を受けて4ビット分のデータを受けるとスレーブ機器12を受信モード及び送信モードに切換える受信-送信モード信号S8を発生する。この受信-送信モード信号S8はオール「1」ではないデータ信号S3がマスタ機器11から送られて来たとき論理「0」になつて次の4ビットのデータ信号S3については送信モードで応答すべきことを指令する。この送信モードのときコントローラ41は4ビットのデータをマスタ機器11側へ送るが、こ

特開昭59-163935 (4)

のデータの送信が終了したことを確認すると、受信-送信モード信号S8を論理「1」レベルに切換えて次の4ビットのデータ信号S3については受信モードで応動すべきことを指令する。

このように論理レベルが「1」に切換つた受信-送信モード信号S8はフリップフロップ回路構成の送受信制御回路43にセット信号として与えられる。送受信制御回路43は受信-送信モード信号S8の論理「0」から「1」への立上り（送信モードから受信モードに切換つたことを意味する）によつて強制的にセット動作し、このとき論理「1」になるQ出力を信号線駆動回路44の第1のNPNトランジスタ45のベースに制御信号S9として与えてこれをオン動作させる。トランジスタ45のコレクタ及びエミッタは第2のNPNトランジスタ46のベース及びエミッタにそれぞれ接続され、トランジスタ46のコレクタが信号線13に接続されると共にエミッタが接地されている。従つてトランジスタ45がオン動作したときこれを通じてトランジスタ46のベースが接地電位になることに

よりトランジスタ46がオフ動作し、これにより信号線13はマスタ機器11の信号線駆動回路44によつて与えられる論理レベルを維持するようになされている。

このとき入力端子35に到来するデータ信号S3のうち立下り部がインバータ47を介して第3のモノマルチバイブレータ48でなるクロック信号再生回路にトリガ信号として与えられる。このバイブレータ48は第4図(A)に示すように、1ビット区間 T_B のうち第1のクロック信号区間 T_1 の開始時点 t_{11} から $\frac{1}{2}$ の時点 t_d までの区間に相当する限時動作時間 $\frac{1}{2}T_B$ をもち、これによりマスタ機器11において発生される第1のクロック信号 ϕ_1 （第4図(B)）と同じ信号形式の再生クロック信号 ϕ_{11} をQ出力端から送出する。この再生クロック信号 ϕ_{11} の立下りはシフトレジスタ50にシフト駆動信号として与えられ、かくして1ビット区間 T_B の $\frac{1}{2}$ の時点 t_d （換言すればデータ信号区間 T_2 の $\frac{1}{2}$ の時点）で入力端子35からシフトレジスタ50の入力端に与えられているデータ信号区間 T_2 の

論理レベルがシフトレジスタ50の最下位桁に順次とり込まれ、以後第2桁、第3桁、最上位桁に順次シフトされる。

かくして4ビットのデータ信号S31（第5図(A)）がシフトレジスタ50にとり込まれると、コントローラ41はこのデータ信号S31を内部に転送させ、これによりマスタ機器11からスレーブ機器12への4ビットのデータの伝送が終了したことをコントローラ41が確認できることになる。この確認の結果コントローラ41は受信-送信モード信号S8を論理「0」レベルに切換えて送受信制御回路43をイネーブル状態に解除する。このとき送受信制御回路43はバイブレータ48から送出される再生クロック信号 ϕ_{11} をインバータ51によつて反転してなる第2の再生クロック信号 ϕ_{12} をクロック入力端に受けると共に、シフトレジスタ50の出力端から送出されるデータをD入力端に受け、第2の再生クロック信号の立下りによつてD入力端のデータを脱込む。

一方コントローラ41は上述のようにマスタ機器

11からスレーブ機器12への4ビットのデータの伝送が終了したことを確認したとき、シフトレジスタ50にマスタ機器11へ伝送すべき4ビットのデータ信号S33（第5図(B)）をロードする。ところがこのシフトレジスタ50のデータ信号S33は再生クロック信号 ϕ_{11} （第4図(B)）によつて1ビット区間 T_B の開始時点 t_{11} （第4図(A)）でシフトされて最上位桁から1ビットずつ出力端から送出され、この最上位桁の内容が $\frac{1}{2}$ 時点 t_d （第4図(A)）で立下る第2の再生クロック信号 ϕ_{12} （第4図(C)）によつて送受信制御回路43に読み込まれ、その論理レベルが「1」又は「0」のとき論理「1」又は「0」のQ出力S9が信号線駆動回路44のトランジスタ45に与えられる。信号線駆動回路44のトランジスタ45には第4のモノマルチバイブレータ52を有する。このマルチバイブレータ52は1ビット区間 T_B のうち開始時点 t_{11} から $\frac{1}{2}$ 時点 t_d までの限時動作時間 $\frac{1}{2}T_B$ をもち、データ信号S33の立下りによつてトリガされて $\frac{1}{2}$ 時間 t_d になるまでの間 $t_{11} \sim t_d$ 論理「1」になるQ出力S10が

特開昭59-163935(5)

トランジスタ45のコレクタに接続される。

従つてシフトレジスタ50から論理「1」のビットが送出されて送受信制御回路43が論理「1」の制御信号S9を送出しているときトランジスタ45がオンになつてトランジスタ46のベースが接地されることによりトランジスタ46をオフ動作させ、信号線13を接地から切り離してオール「1」の信号S32によつて論理「1」にし、これに対してシフトレジスタ50から論理「0」のビットが送出されて送受信制御回路43が論理「0」の制御信号S9を送出しているときトランジスタ45がオフになつてトランジスタ46のベースにバイブレータ52の論理「1」のQ出力S10が与えられることによりトランジスタ46をオン動作させて信号線13を接地して論理「0」にする。

このようにしてスレーブ機器12はシフトレジスタ50にロードされた4ビットのデータ信号S33(第5図(B))が1ビットづつ信号線13を介してマスター機器11に伝送するが、シフトレジスタ50から信号線13への各ビットの送出動作はマスター機器11か

ら伝送されて来たデータ信号S3のうちオール「1」の信号S32(第5図(A))の各ビットのクロック信号区間 T_1 の立下りによつて発生される再生クロック信号 ϕ_{11} 及び ϕ_{12} に同期して行われ、これによりスレーブ機器12がマスター機器11で発生されるクロック信号 ϕ_1 によつて同期動作することになる。

マスター機器11は伝送されて来たデータ信号S33を1ビットづつシフトレジスタ22に最下位桁からとり込んで行き、かくして4ビットのデータのシフトレジスタ22へのとり込みが終了したときコントローラ21はこのデータを内部に転送させ、これによりマスター機器11からスレーブ機器12への4ビットのデータの伝送が終了したことをコントローラ21が確認できることになる。

かかる確認を行つた後、マスター機器11はさらに必要に応じてスレーブ機器12に対するデータ信号の伝送を行うため、上述のようにコントローラ21からシフトレジスタ22へのデータ信号S31及びS32のロードを行う。

以上の構成において、マスター機器11はコントローラ21からシフトレジスタ22に伝送すべきデータ信号S31(第5図(A))をロードし、その各ビットをクロック信号発生回路23において発生される第1のクロック信号 ϕ_1 及びその反転信号でなる第2のクロック信号 ϕ_2 によつてデータ出力回路25において第4図(A)の信号形式のデータ信号S3に変換して信号線13に送出する。

スレーブ機器12はこのデータ信号S3の第1のクロック信号区間 T_1 の立下りによつてクロック信号 ϕ_1 に同期する再生クロック信号 ϕ_{11} を発生し、この再生クロック信号 ϕ_{11} によつてクロック信号 ϕ_1 のタイミングで順次伝送されて来る第2のデータ信号区間 T_2 の論理レベルをデータ信号としてシフトレジスタ50にとり込んだ後コントローラ41に転送処理する。

かくしてマスター機器11からスレーブ機器12へのデータの伝送が終了すると、マスター機器11は同様にクロック信号 ϕ_1 に同期してオール「1」のデータ信号S32(第5図(A))を伝送し、スレーブ機

器12はこのオール「1」のデータ信号S32のクロック信号区間 T_1 の立下りに同期して発生した第1の再生クロック信号 ϕ_{11} 及びその反転信号でなる第2の再生クロック信号 ϕ_{12} によつてコントローラ41からシフトレジスタ50にロードしたデータ信号S33(第5図(B))をマスター機器11へ第4図(A)の信号形式のデータ信号S33に変換して伝送する。このときマスター機器11は伝送されて来たデータ信号S33をシフトレジスタ22にとり込んだ後コントローラ11に転送処理する。

従つて以上の構成によれば、クロック信号及びデータをともなつたデータ信号S3(第5図(C))のやりとりを1本の信号線によつて確実に実行できるデータ通信装置を実現できる。

なお上述においてはデータ信号S3の信号形式を第4図(A)のようにクロック信号区間 T_1 において論理「0」レベルにすると共に復帰区間 T_3 において論理「1」レベルにすることにより、データ信号S3の論理「1」レベルから論理「0」レベルへの立下りを利用してクロック信号を伝送す

特開昭59-163935 (6)

るようにしたが、この論理レベルの関係を反転させた場合にも上述の場合と同様の効果を得ることができる。

またクロック信号区間 T_1 、データ信号区間 T_2 、復帰区間 T_3 を1ビット区間 T_B を3等分に分割した場合について述べたが、これを必要に応じて任意の比率で分割し得る。

〔発明の効果〕

以上のように本発明によれば、第1の論理レベル（論理「0」又は「1」）のクロック信号区間 T_1 と、伝送すべきデータを表わす論理レベルをもつデータ信号区間 T_2 と、第2の論理レベル（論理「1」又は「0」）の復帰区間 T_3 とを時間直列に順次形成してなる信号形式のデータ信号を用いることにより、1本の通信線によつてクロック信号及びデータを2つの機器間に確実にやりとりできるデータ通信装置を得ることができ、これにより通信線の本数を従来の場合と比較して半減させることができる。

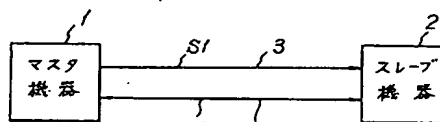
図面の簡単な説明

第1図の従来のデータ通信装置を示すブロック図、第2図はその信号を示す信号波形図、第3図は本発明によるデータ通信装置の一実施例を示す系統的接続図、第4図及び第5図はその各部の信号を示す信号波形図である。

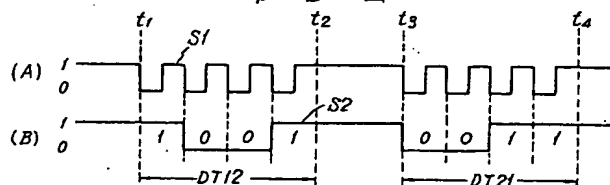
11…マスター機器、12…スレーブ機器、13…信号線、21、41…コントローラ、23…クロック信号発生回路、24…出力回路、25…データ出力回路、27…スイッチ回路、30…信号線駆動回路、42… $\frac{1}{4}$ 分周クロックカウンタ、43…送受信制御回路、44…信号線駆動回路。

出願人代理人 田 辺 恵 吾

第 1 図

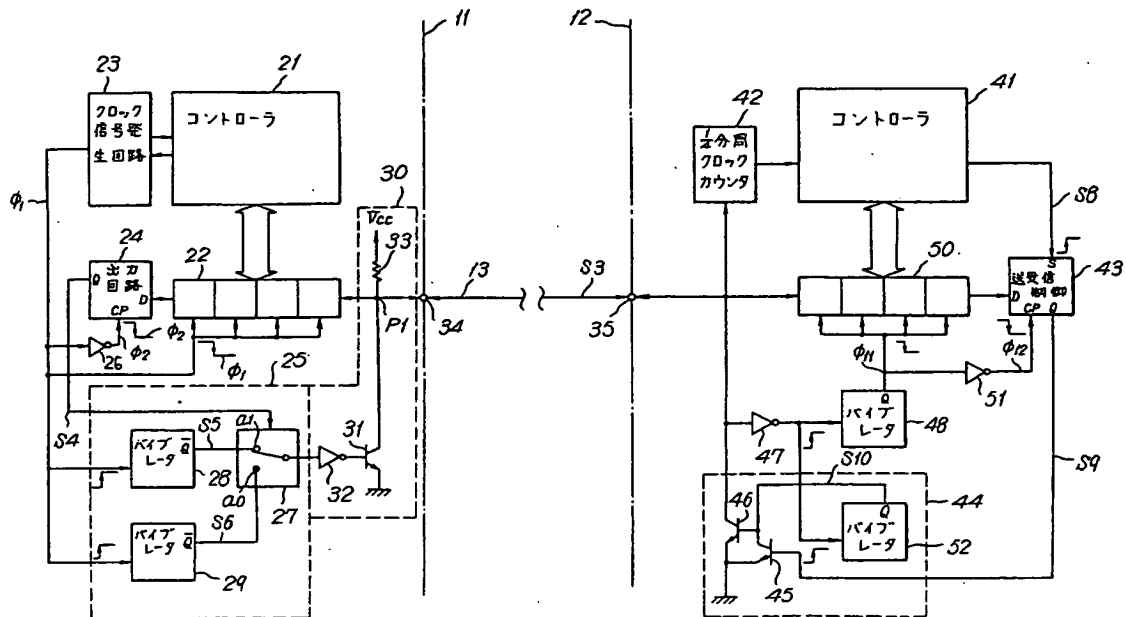


第 2 図

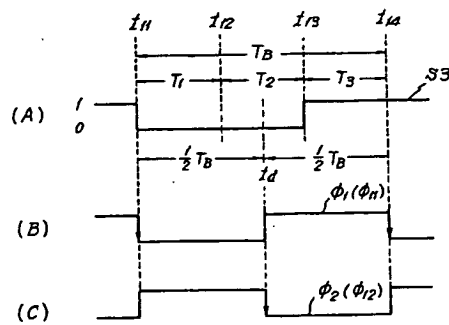


特開昭59-163935 (7)

第 3 図



第 4 図



第 5 図

